

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209306
 (43)Date of publication of application : 07.08.1998

(51)Int.CI.

H01L 21/8247
 H01L 29/788
 H01L 29/792
 H01L 27/115

(21)Application number : 09-007767

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.01.1997

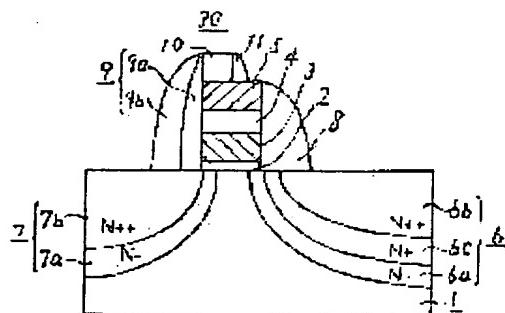
(72)Inventor : KUNORI YUUICHI

(54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure a tolerance for showing specified electric characteristics, by providing a drain region having regions different in impurity concn. and source region having more different-impurity concn. regions than the drain region.

SOLUTION: A memory cell transistor 30 has a source and drain regions 6, 7 formed to face each other below an FG 3 on a main surface of a semiconductor substrate. The source region 7 is composed of a low impurity concn. region 6a creeping in the FG 3, medium impurity concn. region 6c having outer edges beneath the FG 3 and high impurity concn. region 6b apart from the side face of the FG 3 rather than from the region 6c. The drain region 7 is composed of a low impurity concn. region 7a creeping in the FG 3, medium impurity concn. region 7b having outer edges beneath the FG 3. Thus, tolerance for showing specified electric characteristics is ensured.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

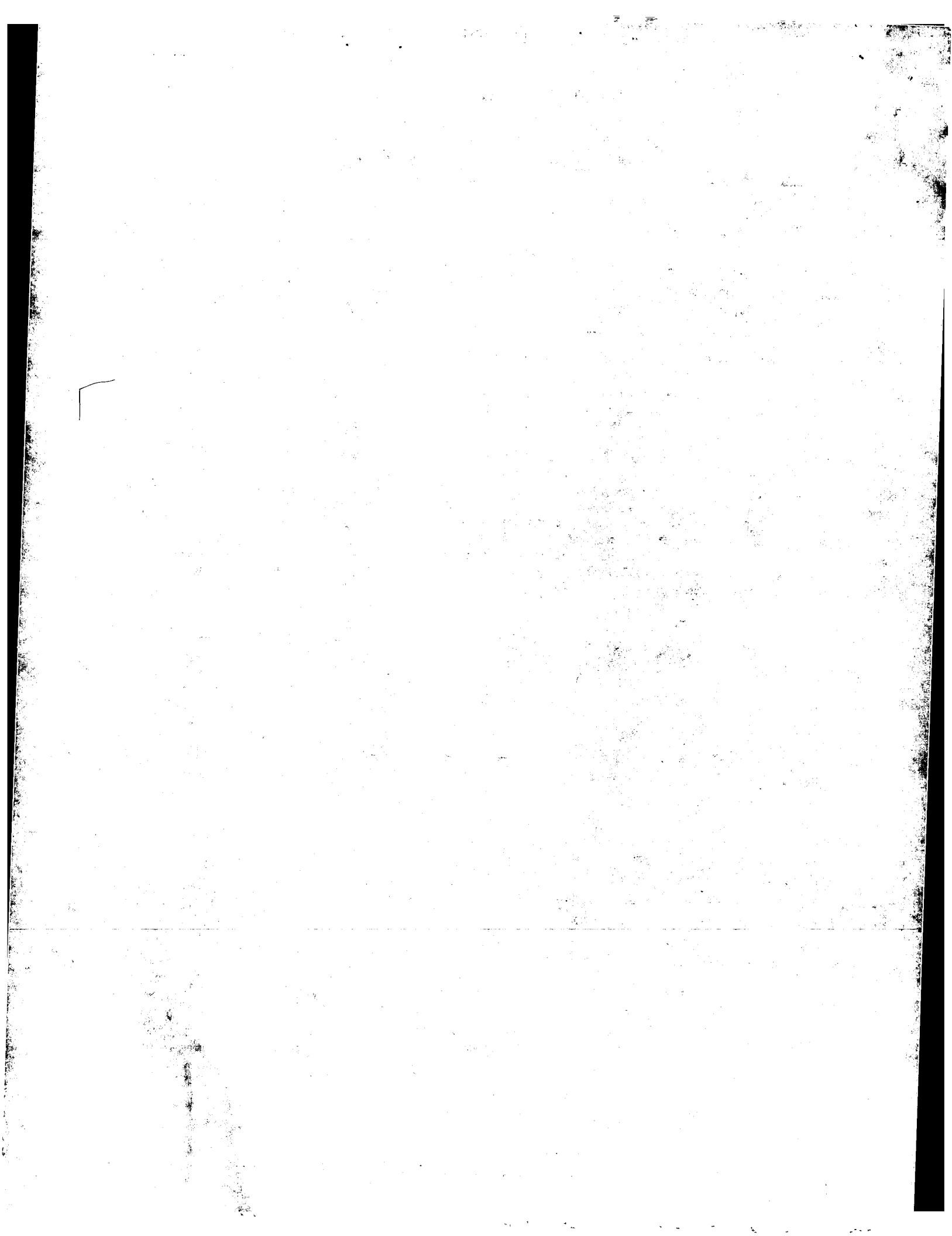
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209306

(43) 公開日 平成10年(1998)8月7日

(51) IntCl.⁶
 H 01 L 21/8247
 29/788
 29/792
 27/115

識別記号

F 1
 H 01 L 29/78
 27/10

3 7 1
 4 3 4

審査請求 未請求 請求項の数10 OL (全14頁)

(21) 出願番号

特願平8-7767

(22) 出願日

平成9年(1997)1月20日

(71) 出願人

000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72) 発明者

九ノ里 勇一
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人

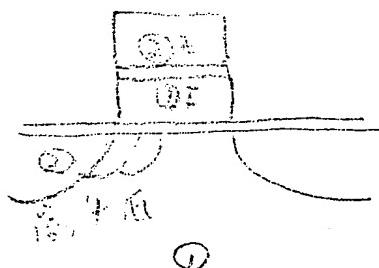
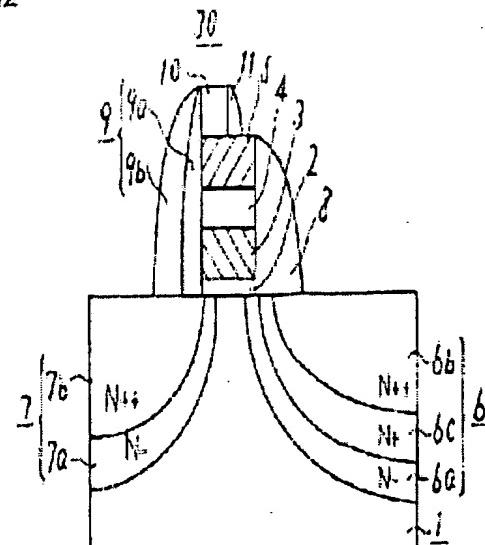
弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 メモリセルのゲート長を微細化しても、ソース・ドレイン間隔の製造時ににおけるばらつきに対して裕度がある不揮発性半導体記憶装置を得る。

【解決手段】 P型シリコン基板1の主面上にゲート绝缘膜2を介して形成されたフローティングゲート(以下FGと呼ぶ)3と、FG3上に層間絕縁膜4を介して形成されたコントロールゲート(以下CGと呼ぶ)5と、シリコン基板1の主面にFG3の下において対向するように形成されたN型のソース及びドレイン領域6、7と、FG及びCG3、5を挟んで、それぞれソース又はドレイン領域6、7上に形成された1対のサイドウォール8、9とを備え、ドレイン領域7上のサイドウォール9がソース領域6上のサイドウォール8よりも多くの層9a、9bを有し、ソース領域6がドレイン領域7(領域7a、7bを有する)よりも多くの不純物濃度の異なる領域6a、6b、6cを有することを持つ。



【特許請求の範囲】

【請求項 1】 半導体基板のー主面に形成された記憶素子を備え、

上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有し、

上記ドレイン領域は不純物濃度の異なる複数の領域を有し、上記ソース領域は上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することを持つとする不揮発性半導体記憶装置。

【請求項 2】 ソース及びドレイン領域のそれぞれが有する不純物濃度の異なる複数の領域は、第1の導電層に近い領域ほど不純物濃度が低いことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項 3】 半導体基板のー主面に形成された記憶素子を備え、

上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域と、上記第1及び第2の導電層を挟んで、それぞれ上記ソース又はドレイン領域上に形成された一対のサイドウォールとを有し、

上記一対のサイドウォールの内のドレイン領域上に形成されたサイドウォールは、ソース領域上に形成されたサイドウォールより多くの層を有することを持つとする不揮発性半導体記憶装置。

【請求項 4】 一対のサイドウォールが有する層は、全て同じ種類の絶縁膜により構成されていることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項 5】 半導体基板のー主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面上に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、

上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、

上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、上記絶縁膜の一部をエッチングする工程とを含む不揮発性半導体記憶装置の製造方法。

【請求項 6】 絶縁膜を堆積する工程と、イオン注入を行う工程とをそれぞれ複数回繰り返すことを特徴とする

請求項 5記載の不揮発性半導体記憶装置の製造方法。

【請求項 7】 イオン注入を行う工程は、後の工程ほど注入量を多くすることを持つとする請求項 6記載の不揮発性半導体記憶装置の製造方法。

【請求項 8】 半導体基板のー主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面上に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、

上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、

上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、上記絶縁膜の一部をエッチングする工程とを含む不揮発性半導体記憶装置の製造方法。

【請求項 9】 絶縁膜を堆積する工程と、当該絶縁膜の一部をエッチングする工程とをそれぞれ複数回繰り返すことを持つとする請求項 8記載の不揮発性半導体記憶装置の製造方法。

【請求項 10】 複数回堆積する絶縁膜としては、全て同じ種類の絶縁膜を用いることを特徴とする請求項 5、7又は9のいずれか一項記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、不揮発性半導体記憶装置及びその製造方法に関するものであり、より特徴的には、記憶素子のソース及びドレイン領域が非対称な構造を有するものに関する。

【0002】

【従来の技術】 以下に、従来の不揮発性半導体記憶装置の一例である D I N O R (D i v i d e d N O R) 型のフラッシュメモリーについて、図9並びに図10及び図11に基づいて説明する。

【0003】 図9は従来の D I N O R 型のフラッシュメモリーのモリセルトランジスタ 2 の構造を示す要部断面図であり、図9において、1は例えば P型シリコン基板からなる半導体基板、2は半導体基板 1 のー主面上に形成されたシリコン酸化膜からなるゲート絶縁膜、3はゲート絶縁膜 2 上に形成された、例えば多結晶シリコン膜、非晶質シリコン膜等の導電膜からなるフローティングゲート(以下、「F G」という。)、4は F G 3 上に形成された層間絶縁膜であり、例えば T E O S (Tetraethoxysilane)、シリコン空化膜、及び T E O S からなる 3 層膜、5は層間絶縁膜 4 上に形成された、例えば多結晶シリコン膜からなるコント

ロールゲート（以下、「CG」という。）である。

【0004】60および70は、それぞれメモリセルトランジスタ28のソース及びドレイン領域であり、半導体基板1の主面に、FG3の下において対向するようにならん形成されており、それぞれ、一部がFG3の下にもぐり込むような形状に形成された低温度の不純物領域60a、70aと、ほぼFG3の側面の直下に外縁を有するように形成された高温度の不純物領域60b、70bから構成されている。

【0005】ここで、高温度及び低温度とは、絶対的な不純物濃度ではなく、各不純物領域間に相対的な不純物濃度の差が生じていることを表しており、各不純物領域の濃度の絶対値は、メモリセルトランジスタ28の電気的特性に応じて、コントロールゲート及びフローティングゲートそれぞれの長さ、注入イオンの種類、その他様々な条件を考慮した最適値を選択する必要がある。

【0006】又、図中のN-、N++等の記号は、上記同様に絶対的な不純物濃度を表すものではなく、各領域の相対的な不純物濃度の差を表すために用いられている記号である。

【0007】8及び90は、上記ゲート電極膜2、FG3、眉間絶縁膜4、及びCG5を挟んで、それぞれソース及びドレイン領域60、70上に形成されたサイドウオール、10はCG5上に形成されたTEOS等のシリコン酸化膜からなる上部酸化膜であり、ソース側の一部が削りされている。11はこの上部酸化膜10のサイドウオールであり、CG5上のソース側に形成されている。

【0008】つぎに、このように構成された従来の不揮発性半導体記憶装置の製造方法について図10及び図11を用いて説明する。図10及び図11は従来のPINOR型フラッシュメモリーの製造方法を、メモリセルトランジスタ28を有するメモリセル部、及び周辺トランジスタ29を有する周辺回路部のそれぞれについて、工程順に示した要部断面図である。

【0009】まず、図10(a)に示されるように、例えばP型シリコン基板からなる半導体基板1上に、例えば熱酸化法によりゲート酸化膜2を形成し、その上にFG3となる例えば多結晶シリコン膜又は非晶質シリコン膜等からなる第1の導電膜3aをCVD法を用いて堆積し、通常の写真製版技術を用いて所望の形状にパターニングして、メモリセル部にFG3を形成する。統いて、半導体基板1の全面に、眉間絶縁膜4として、TEOS、シリコン空化膜及びTEOSの3層を順に堆積する。次に、周辺回路部に形成されている眉間絶縁膜4及び第1の導電膜3aを除去する。

【0010】次に、周辺トランジスタ用のゲート酸化膜12を熱酸化により形成し、周辺回路部及びメモリセル部の両方に、一部が周辺トランジスタのゲート電極13となり、他の一部がCG5となる、例えば多結晶シリコン膜又は多結晶シリコンと高融点金属の化合物膜等から

なる、第2の導電膜5aをCVD法を用いて堆積する。さらに、その上層に、TEOS等の酸化膜14及び多結晶シリコン膜15を順に堆積する。

【0011】次に、図10(b)に示すように、上記多結晶シリコン膜15上にレジストを塗布し、これを所望の形状にパターニングすることによりレジストマスク16を形成する。

【0012】次に、図10(c)に示すように、形成されたレジストマスク16を用いて、多結晶シリコン膜15を異方性エッティングにより加工し、その後、レジストマスク16を除去する。

【0013】次に、図10(d)に示すように、上記多結晶シリコン膜15をマスクとして、シリコン酸化膜14を異方性エッティングにより加工し、酸化膜マスク14aを形成し、統いて、この酸化膜マスク14aを用いて、その下層の第2の導電膜5aを異方性エッティングにより加工して、周辺トランジスタのゲート電極13及びCG5を形成する。

【0014】ここで、上記ゲート電極13及びCG5の形成に用いられる異方性エッティングによって、酸化膜マスク14a上の多結晶シリコン膜15も同時に除去される。又、周辺回路部における酸化膜マスク14aは、ゲート電極13に対する上部酸化膜17となる。

【0015】次に、図1(e)に示すように、周辺回路部をレジストで覆い、上記酸化膜マスク14aを用いて、メモリセル部のみ、異方性エッティングにより眉間絶縁膜4及び第1の導電膜3aを加工することによりFG3を形成する。その後、上記周辺回路部を覆っているレジストを除去する。この時、眉間絶縁膜4のエッティングに際して、メモリセル部の酸化膜マスク14aも同時にエッティングされ膜厚が薄くなる。

【0016】次に、図1(f)に示すように、メモリセル部のソース側及び周辺回路部を覆い、かつ、メモリセル部のドレン側に開口するレジストマスク18を形成し、このマスク18を用いて、半導体基板1にリン及びヒ素のイオン注入を行い、メモリセルトランジスタのドレン領域70を形成する。ここで、少量のボロンを同時に注入しても良い。その後、レジストマスク18を除去する。

【0017】次に、図1(g)に示すように、メモリセル部のドレン側及び周辺回路部を覆い、かつ、半導体基板1表面のワード線方向(図2において、紙面に垂直な方向)に並ぶ各メモリセルトランジスタのソース領域60となる部分、当該各メモリセルトランジスタのソース領域60となる部分を隔離する分離酸化膜、及び、各メモリセルトランジスタのCG5上の酸化膜マスク14a表面に開口するレジストマスク19を形成し、このレジストマスク19を用いた異方性エッティングにより、ワード線方向に並ぶ各メモリセルトランジスタのソース領域60となる部分が掘るよう上記分離酸化膜を除

去し、当該分離酸化膜に覆われていた半導体基板1表面を露出させる。以下、この異方性エッチングをSAS(セルフアラインソース)エッチングと呼ぶ。

【0018】この時、CG5上の酸化膜マスク14aも同時にエッチングされ、メモリセルトランジスタの上酸化膜10が形成される。

【0019】次に、上酸化膜10の一部が除去されたCG5及びレジストマスク19を用いて、自己整合的に、リン及びヒ素のイオン注入を行いソース領域60を形成する。ここで、少量のボロンを同時にイオン注入しても良い。この時、SASエッチング工程によって露出した半導体基板1表面及びその近傍には、ワード線に平行に、ワード線方向に並ぶ各メモリセルトランジスタのソース領域60が整がった構造の配線(いわゆる「ソース線」)が形成される。

【0020】次に、レジストマスク19の除去後、図11(d)に示すように、ゲート電極13及びCG5をマスクとして異方性エッチングを行うことにより、ゲート絶縁膜12及び2を加工し、統いて、半導体基板1上の全面に例えればシリコン酸化膜からなる絶縁膜をCVD法を用いて形成し、異方性エッチングを行うことにより、周辺トランジスタのゲート電極13及び上酸化膜17の側面にサイドウォール20を形成すると同時に、FG3及びCG5の側面のソース及びドレイン領域60、70上にサイドウォール8、90を形成する。

【0021】統いて、メモリセル部をレジストで覆い、例えばリン又はヒ素などを高温度にイオン注入することにより、周辺トランジスタのソース及びドレイン領域21、22を形成し、周辺トランジスタ29を得る。その後、上記メモリセル部を覆っていたレジストを除去する。

【0022】その後、熱処理を行うことによりソース及びドレイン領域60、70に注入されたドーパントを熱拡散させることにより、それぞれ、一部がFG3の下にもぐり込むような形状の低温度の不純物領域60a、70aと、ほぼFG3の側面の直下に外線を有する高温度の不純物領域60b、70bを形成して、図9に示したメモリセルトランジスタ28を含むDINOR型のフラッシュメモリーを得る。

【0023】

【発明が解決しようとする課題】しかるに、上記のような不揮発性半導体記憶装置においては、メモリセルトランジスタのソース領域60及びドレイン領域70とともに、CG5に対し自己整合的にイオン注入を行うことにより形成しているので、注入イオンがCG5端部の直下にその一部が形成されることとなり、イオン注入後の熱処理によって、低温度の不純物領域60a、70aがCG5の下にもぐり込んでそれぞれ形成されるため、CG5の長さよりも、ソース領域60とドレイン領域70の間の実質的なチャネル長が短くなってしまうという問題

があつた。

【0024】そのため、従来の不揮発性半導体記憶装置においては、所望の電気的特性を得るために、コントローラゲート長(CG5の長さ)を一定値以上に保持しなければならず、高集積化、微細化の妨げの原因となっていた。

【0025】一方、メモリセルトランジスタのソース及びドレイン領域60、70の形成を、サイドウォール8、90をマスクとして、周辺トランジスタのソース・ドレイン領域21、22を形成するためのイオン注入によって行うことも可能ではあるが、しかし、この場合、サイドウォール8、90は周辺トランジスタのサイドウォール20の形成用の絶縁膜を異方性エッチングすることにより得られるので、周辺トランジスタ29の電気的特性に合わせてその厚さが規定されており、その厚さによっては、CG5の端部直下から、かなり離れた位置にソース及びドレイン領域60、70が形成される場合があり、電流が流れにくくなってしまうという問題があつた。

【0026】そこで、図11(c)に示すSASエッチング後のイオン注入工程において低温度の注入を行い、周辺トランジスタのサイドウォール21、22の形成工程前に、一旦、メモリセルトランジスタ29の電気的特性に合わせた膜厚を有するサイドウォールを形成し、その後、このサイドウォールをマスクとして高温度イオン注入することにより、上記の問題を解決することも可能である。

【0027】しかし、この場合においては、高温度のイオン注入の前工程として、図11(d)にて示したようなイオン注入用のレジストマスク、つまり、周辺回路部及びメモリセル部のドレイン側を覆うレジストマスクを形成する必要があり、そのため、工程数が増加するという問題が新たに発生する。

【0028】さらに、この場合においては、高温度注入後の、周辺トランジスタのサイドウォール20の形成を、既に形成されているサイドウォールの厚さを考慮して行われねばならず、上記メモリセルトランジスタ29のサイドウォール用絶縁膜の堆積時における膜厚のはらつき、及びこの絶縁膜を異方性エッチングしたときのサイドウォールの厚さのはらつきに加えて、周辺トランジスタ29のサイドウォール用絶縁膜の堆積時における膜厚のはらつき、及び異方性エッチングを行ったときのサイドウォールの厚さのはらつきが互いに重なり合い、周辺トランジスタのサイドウォール20の厚さのはらつきが大きくなってしまうという問題も発生する。

【0029】したがって、このはらつきを有するサイドウォール20をマスクとするイオン注入により形成された周辺トランジスタのソース及びドレイン領域21、22の間のチャネル長が、所望の電気的特性を実現するには裕度が少なくなってしまうという問題も発生する。

【〇〇三〇】又、メモリセルトランジスタのソース及びドレイン領域50、70の位置に関して、DINOR型のフラッシュメモリーにおいては、ドレイン領域70よりFG3へ電荷を引き抜くことにより記憶素子としての動作を達成するので、ドレイン側におけるFG3の端部には、高温度の不純物領域70bが形成されている必要があり、それがFG3の端から離れた位置に形成された場合には、電荷引き抜き速度が遅くなり、ひいては、フラッシュメモリーの動作速度の遅延につながるといった問題もあった。

【〇〇三一】上記のような理由により、従来の不揮発性半導体記憶装置においては、ソース領域50とドレイン領域70の間隔の製造時におけるばらつきにより、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度（一般に、「シマージン」と呼ばれる。）を確保できないという問題があった。

【〇〇三二】この発明は上記した点に鑑みてなされたものであり、メモリセルトランジスタのゲート長を微細化した場合においても、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、所定の電気的特性を示すための裕度を確保できる不揮発性半導体記憶装置を得ることを目的とするものである。

【〇〇三三】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、半導体基板の一主面上に形成された記憶素子を備え、上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の塗電層と、上記第1の塗電層上に第2の絶縁膜を介して形成された第2の塗電層と、上記半導体基板の主面上に上記第1の塗電層の下において対向するように形成されたソース及びドレイン領域とを有し、上記ドレイン領域は不純物濃度の異なる複数の領域を有し、上記ソース領域は上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することを特徴とするものである。

【〇〇三四】又、上記ソース及びドレイン領域のそれぞれが有する不純物濃度の異なる複数の領域は、第1の塗電層に近い領域ほど不純物濃度が低いことを特徴とするものである。

【〇〇三五】又、半導体基板の一主面上に形成された記憶素子を備え、上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の塗電層と、上記第1の塗電層上に第2の絶縁膜を介して形成された第2の塗電層と、上記半導体基板の主面上に上記第1の塗電層の下において対向するように形成されたソース及びドレイン領域と、上記第1及び第2の塗電層を挟んで、それぞれ上記ソース又はドレイン領域上に形成された一对のサイドウォールとを有し、上記一对のサイドウォールの内のドレイン領域上に形成されたサイドウォールは、ソース領域上に形成されたサイドウォールより多くの層を有することを特徴とするものである。

【〇〇三六】又、上記一对のサイドウォールが有する層は、全て同じ種類の絶縁膜により構成されていることを特徴とするものである。

【〇〇三七】この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板の一主面上に第1の絶縁膜を介して形成された第1の塗電層と、上記第1の塗電層上に第2の絶縁膜を介して形成された第2の塗電層と、上記半導体基板の主面上に上記第1の塗電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面上に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、イオン注入を行う工程とを含むものである。

【〇〇三八】又、上記絶縁膜を堆積する工程と、イオン注入を行う工程とをそれぞれ複数回繰り返すこととするものである。

【〇〇三九】又、上記イオン注入を行う工程は、後の工程ほど注入量を多くすることを特徴とするものである。

【〇〇四〇】又、半導体基板の一主面上に第1の絶縁膜を介して形成された第1の塗電層と、上記第1の塗電層上に第2の絶縁膜を介して形成された第2の塗電層と、上記半導体基板の主面上に上記第1の塗電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面上に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、上記絶縁膜の一部をエッチングする工程とを含むものである。

【〇〇四一】又、上記絶縁膜を堆積する工程と、当該絶縁膜の一部をエッチングする工程とをそれぞれ複数回繰り返すことを特徴とするものである。

【〇〇四二】又、上記複数回堆積する絶縁膜としては、全て同じ種類の絶縁膜を用いることを特徴とするものである。

【〇〇四三】

【発明の実施の形態】

実施の形態1. 以下に、この発明の実施の形態1について図1ないし図4に基づいて説明する。

【〇〇四四】図1はこの発明の実施の形態1における不揮発性半導体記憶装置のメモリセルトランジスタ30の構造を示す要部断面図であり、図1において、1は例えばP型シリコン基板からなる半導体基板、2は半導体基板1の一主面上に形成されたシリコン酸化膜からなるゲ

ート絶縁膜、3はゲート絶縁膜2上に形成された、例えば多結晶シリコン膜、非晶質シリコン膜等の塗電膜からなるフローティングゲート(以下、「FG」という。)、4はFG3上に形成された層間絶縁膜であり、例えばTEOS(Tetraethoxysilane)、シリコン化膜及びTEOSからなる3層積層膜、5は層間絶縁膜4上に形成された、例えば多結晶シリコン膜からなるコントロールゲート(以下、「CG」という。)であり、ワード線の一部をなしている。

【0045】6および7は、それぞれメモリセルトランジスタ3のソース及びドレイン領域であり、半導体基板1の正面に、FG3の下において対向するように形成されている。この内、ソース領域6は一部がFG3の下にもぐり込むような形状に形成された低温度の不純物領域6aと、ほぼFG3の側面の直下に外縁を有するように形成された中温度の不純物領域6cと、この中温度の不純物領域6cよりもFG3の側面から離れた位置に形成された高温度の不純物領域6bから構成されている。一方、ドレイン領域7は一部がFG3の下にもぐり込むような形状に形成された低温度の不純物領域7aと、ほぼFG3の側面の直下に外縁を有するように形成された高温度の不純物領域7bから構成されている。

【0046】ここで、高温度、中温度及び低温とは、絶対的な不純物濃度ではなく、各不純物領域間に相対的な不純物濃度の差が生じていることを表しており、各不純物領域の温度の絶対値は、メモリセルトランジスタ3の電気的特性に応じて、コントロールゲート及びフローティングゲートそれぞれの長さ、注入イオンの種類、その他様々な条件を考慮した最適値を選択する必要がある。

【0047】又、図中のN-、N+、N++の記号等は、上記同様に絶対的な不純物濃度を表すものでなく、各領域の相対的な不純物濃度の差を表すために用いられている記号である。

【0048】8及び9は、上記ゲート絶縁膜2、FG3、層間絶縁膜4、及びCG5を挟んで、それぞれソース及びドレイン領域6、7上に形成された、例えばシリコン酸化膜からなるサイドウォールであり、特に、ドレン領域上のサイドウォール9は、FG3等の側面に接する層9aとその外側に形成された層9bにより構成されている。10はCG5上に形成されたTEOS等のシリコン酸化膜からなる上部酸化膜であり、ソース側の一部が削られている。11はこの上部酸化膜10のサイドウォールであり、CG5上のソース側に形成されている。

【0049】つぎに、このような構造のメモリセルトランジスタ3を有する不揮発性半導体記憶装置の製造方法について図2ないし図4を用いて説明する。図2ないし図4は本実施の形態1における不揮発性半導体記憶装置の製造方法を、メモリセルトランジスタ3を有する

メモリセル部、及び周辺トランジスタ40を有する周辺回路部のそれぞれについて、工程順に示した要部断面図である。

【0050】まず、図2(a)に示されるように、例えばP型シリコン基板からなる半導体基板1上に、例えば熱酸化法によりゲート酸化膜2を形成し、その上にFG3となる例えば多結晶シリコン膜又は非晶質シリコン膜等からなる第1の塗電膜3aをCVD法を用いて堆積し、通常の写真製版技術を用いて所望の形状にパターニングして、メモリセル部にFG3を形成する。続いて、半導体基板1上の全面に、層間絶縁膜4として、TEOS、シリコン化膜及びTEOSの3層を順に堆積する。次に、周辺回路部に形成されている層間絶縁膜4及び第1の塗電膜3aを除去する。

【0051】次に、周辺トランジスタ40用のゲート酸化膜12を熱酸化により形成し、周辺回路部及びメモリセル部の両方に、一部が周辺トランジスタのゲート電極13となり、他の一部がCG5となる、例えば多結晶シリコン膜又は多結晶シリコンと高融点金属の化合物膜等からなる、第2の塗電膜5aをCVD法を用いて堆積する。さらに、その上層に、TEOS等の酸化膜14及び多結晶シリコン膜15を順に堆積する。

【0052】次に、図2(b)に示すように、上記多結晶シリコン膜15上にレジストを塗布し、これを所望の形状にパターニングすることによりレジストマスク16を形成する。

【0053】次に、図3(a)に示すように、形成されたレジストマスク16を用いて、多結晶シリコン膜15を異方性エッチングにより加工し、その後、レジストマスク16を除去する。

【0054】次に、図3(b)に示すように、上記所望の形状に加工された多結晶シリコン膜15をマスクとして、シリコン酸化膜14を異方性エッチングにより加工して、酸化膜マスク14aを形成し、続いて、この酸化膜マスク14aを用いて、その下層の第2の塗電膜5aを異方性エッチングにより加工して、周辺トランジスタのゲート電極13及びCG5を形成する。

【0055】ここで、上記ゲート電極13及びCG5の形成に用いられる異方性エッチングによって、酸化膜マスク14a上に多結晶シリコン膜15も同時に除去される。又、周辺回路部における酸化膜マスク14aは、ゲート電極13に対する上部酸化膜17となる。

【0056】次に、図3(c)に示すように、周辺回路部をレジストで覆い、上記酸化膜マスク14aを用いて、メモリセル部のみ、異方性エッチングにより層間絶縁膜4及び第1の塗電膜3aを加工することによりFG3を形成する。その後、上記周辺回路部を覆っているレジストを除去する。この時、層間絶縁膜4のエッチングに際して、メモリセル部の酸化膜マスク14aも同時にエッチングされ膜厚が薄くなる。

【〇〇57】次に、図3(d)に示すように、メモリセル部のソース側及び周辺回路部を覆い、かつ、メモリセル部のドレイン側に開口するレジストマスク18を形成し、このマスク18を用いて、半導体基板1にリン及びヒ素のイオン注入を行い、メモリセルトランジスタのドレイン領域7を形成する。ここで、少量のボロンを同時に注入しても良い。その後、レジストマスク18を除去する。

【〇〇58】次に、図4(a)に示すように、周辺トランジスタ40のサイドウォール用の絶縁膜よりも膜厚が薄く、同じ種類(例えば、TEOS等)の酸化膜23を、半導体基板1全面に堆積する。

【〇〇59】次に、図4(b)に示すように、メモリセル部のドレイン側及び周辺回路部を覆い、かつ、半導体基板1のワード線方向(図2ないし図4において、紙面に垂直な方向)に並ぶ各メモリセルトランジスタのソース領域6となる部分と、当該各メモリセルトランジスタのソース領域6となる部分を隔てる分離酸化膜と、各メモリセルトランジスタのCG5上の酸化膜マスク14a表面に開口するレジストマスク24を形成し、このレジストマスク24を用いて、上記酸化膜23越しに、高温度に例えればヒ素等のイオン注入を行い、最終的に高温度の不純物領域5bとなる、ソース領域6の一部25を形成する。

【〇〇60】このとき、メモリセル部のソース側のCG5端部直下に位置する半導体基板1には、その上に形成されている酸化膜23の膜厚がイオン入射方向に対して厚くなっているため、入射イオン(例えればヒ素)が到達せず、そのため、CG5端部直下から離れた位置に高温度の不純物領域5bが形成されることとなる。又、CG5にもレジスト24及び酸化膜マスク14aにより例えればヒ素等の入射イオンが到達しない。

【〇〇61】次に、図4(c)に示すように、レジストマスク24を用いた異方性エッチングにより、ワード線方向に並ぶ各メモリセルトランジスタのソース領域6となる部分が露るように分離酸化膜を除去し、当該分離酸化膜に覆われていた半導体基板1表面を露出させる。以下、この異方性エッチングをSAS(セルフアラインソース)エッチングと呼ぶ。この時、CG5上の酸化膜23、及び酸化膜マスク14aも同時にエッチングされ、メモリセルトランジスタの上酸化膜10が形成される。

【〇〇62】次に、上酸化膜10の一部が除去されたCG5及びレジストマスク19を用いて、自己整合的に、リン及びヒ素のイオン注入を、上記図4(b)にて示したイオン注入よりも相対的に低い温度で行い、上記ソース領域の一部25よりもCG5端部近傍に近い位置にその外縁を有し、最終的に低温度及び中温度の不純物領域5a、6cとなる、ソース領域6の一部25を形成する。ここで、少量のボロンを同時にイオン注入しても

良い。この時、先にSASエッチング工程によって露出した半導体基板1表面及びその近傍には、ワード線方向に並ぶ各メモリセルトランジスタのソース領域6が残がった構造の配線(いわゆる「ソース線」)が、ワード線に平行に形成される。

【〇〇63】次に、レジストマスク19の除去後、図4(d)に示すように、ゲート電極13及びCG5をマスクとして異方性エッチングを行うことにより、ゲート電極膜12及び2を加工し、統一して、半導体基板1上の全面に例えればシリコン酸化膜からなる絶縁膜をCVD法を用いて形成し、異方性エッチングを行うことにより、周辺トランジスタのゲート電極13及び上酸化膜17の側面にサイドウォール20を形成すると同時に、FG3及びCG5の側面のソース及びドレイン領域6、7上にサイドウォール8、9を形成する。

【〇〇64】統一して、メモリセル部をレジストで覆い、例えればリン及びヒ素を高温度にイオン注入することにより、周辺トランジスタのソース及びドレイン領域21、22を形成して、周辺トランジスタ40を得る。ここで、少量のボロンを同時にイオン注入しても良い。その後、上記メモリセル部を覆っていたレジストを除去する。

【〇〇65】その後、熱処理を行うことによりソース及びドレイン領域に注入されたドーパントを熱拡散させることにより、低温度の不純物領域5a、中温度の不純物領域5c及び高温度の不純物領域5b、並びに、低温度の不純物領域7a及び高温度の不純物領域7bを形成して、図1に示したメモリセルトランジスタ30を含む不揮発性半導体記憶装置を得る。

【〇〇66】ここで、上記図4(c)にて示した工程において、リン及びヒ素といった熱拡散による拡散長の異なるドーパントを注入しているため、本熱処理工程において、ソース領域の1部である26が中温度及び低温度の不純物領域5c及び5aに分かれて形成されることとなる。

【〇〇67】本実施の形態1においては、上記のように構成されているので、CG5を微細化した場合においても、ドレイン領域7においては高温度の不純物領域7bがCG5の直下に形成されるのに対して、ソース領域6のみ高温度の不純物領域5bをCG5の端部直下より遠ざけることができ、しかも、ソース及びドレイン領域5、7間のチャネル領域の実質的な長さを規定する低温度の不純物領域5a、7a間の距離を、電流が流れにくくならないよう距離に保つことができるため、上記ソース領域5とドレイン領域7の間隔の製造時におけるばらつきに対して、本不揮発性半導体記憶装置が所定の電気的特性を示すための裕度、すなわち、レマージンを確保することができるという効果を有する。

【〇〇68】又、ドレイン領域7において、電荷の引き抜きのために、高温度の不純物領域7bをCG5の端の

近傍に形成しているが、これに加え、低温度の不純物領域7aを形成しているので、ドレイン耐圧の低下を防止することができるという効果を有する。

【0059】又、本実施の形態1においては、ソース及びドレイン領域5、7のそれぞれが、多段階の不純物温度領域5a、5c、5b及び7a、7bを有し、かつ、これらの不純物温度がCG5から遠ざかるにつれ高温度となるように配置されているので、LDD構造を形成でき、しきい値電圧の変動等を抑制でき、本不揮発性半導体記憶装置の高信頼性を実現できるという効果を有する。

【0070】さらに、本実施の形態1においては、周辺回路部においては、酸化膜23が堆積されただけで、上述した従来の一例のように、一旦メモリセルトランジスタ30のサイドウォールを形成した後、周辺トランジスタのサイドウォール20を形成するわけではないので、エッチングによるサイドウォールの厚さのばらつきが生じることなく、周辺トランジスタのサイドウォール20形成用の絶縁膜の堆積時には、先に堆積された酸化膜23の膜厚を差し引いて当該絶縁膜を堆積すれば良い。

【0071】又、本実施の形態1においては、上記のような製造方法を用いているので、従来の製造方法に比べ、酸化膜23を堆積する工程である1工程だけの増加により、上記の効果を有する構造を備えた不揮発性半導体記憶装置を得ることができる。

【0072】尚、本実施の形態1においては、図4(c)に示す工程において、異方性の強いSASエッチングを行うため、酸化膜23を除去するために長時間をかけても、図5に示すように、酸化膜23が除去しきれない場合がある。このような場合においては、一旦、分離酸化膜が除去された時点においてSASエッチングを終了し、残存した酸化膜23aを異方性の比較的弱いドライエッティング、又は、低温度フッ酸等のエッティンググレードの小さいウェットエッティングにより除去しても良い。

【0073】又、本実施の形態1においては、上記図4(c)にて示した工程において、リン及びヒ素といった熱抵抗による拡散長の異なるドーパントを注入しているため、後工程における熱処理によって、中温度及び低温度の不純物領域5c及び7aが分かれ形成されることとなるが、その代わりに、どちらか一方のイオンを用いた注入を行っても良く、この場合においては、図6に示すように、メモリセルトランジスタのソース領域5aの内の、中温度の不純物領域5cは形成されないこととなる。

【0074】しかし、この場合においても、ソース領域5aのみ高温度の不純物領域5bをCG5の端部直下より遠ざけることができ、しかも、ソース及びドレイン領域5、7間のチャネル領域の実質的な長さを規定する低温度の不純物領域5a、7a間の距離を、電流が流れにく

くならないような距離に保つことができ、加えて、ソース及びドレイン領域5、7のそれぞれが、多段階の不純物温度領域5a、5b及び7a、7bを有し、かつ、それらの不純物温度がCG5から遠ざかるにつれ高温度となるように配置されることに変わりはなく、上記と同様の効果を有することとなる。

【0075】又、上記の場合においては、メモリセルトランジスタ30及び周辺トランジスタ40がNチャネル型の場合を示したが、図3(d)、及び図4(b)、(c)にて示した工程において、リン、ヒ素等の代わりに、ボロン又はBF2をイオン注入しても良く、この場合においては、これらのドーパントが熱抵抗しにくく、上記の場合のように、熱抵抗により、中温度及び低温度の不純物領域5c及び7aを分かれ形成させることはできないが、図6に示したN(及びP)型の領域をP(及びN)型に変えた形状にソース及びドレイン領域を形成することができ、そのため、上記と同様の効果を有することとなる。

【0076】実施の形態2、この発明の実施の形態2は、上記の実施の形態1に対して、メモリセルトランジスタ30のソース及びドレイン領域の高温度領域5b、7bよりも、CG5に対してさらに離れた位置に外線を有し、かつ、高温度領域5b、7bよりもさらに高い不純物温度を有する第2の高温度領域5d、7dを備える点で相違するだけであり、その他の点については上記した実施の形態1と同様である。

【0077】図7は、この発明の実施の形態2における不揮発性半導体記憶装置の構造を示す要部断面図である。本装置の構造は、実施の形態1の図1において示された不揮発性半導体記憶装置の構造に対して、メモリセルトランジスタのソース及びドレイン領域の高温度領域5b、7bよりも、CG5に対してさらに離れた位置に外線を有するとともに、高温度領域5b、7bよりもさらに高い不純物温度を有する第2の高温度領域5d、7dを備えたものである。

【0078】つぎに、このように構成された不揮発性半導体記憶装置の製造方法について説明する。本実施の形態2における不揮発性半導体記憶装置の製造方法は、上記実施の形態1における図4(d)において示された工程について異なる工程をとるものとの、その他の工程については、上記図2ないし図4にて示した実施の形態1における製造方法と同様の工程を含むものである。

【0079】具体的には、本実施の形態2においては、図4(d)にて示された、サイドウォール8、9、及び20を形成後、メモリセル部をレジストで覆うことなしに、例えばリン又はヒ素を高温度にイオン注入することにより、周辺トランジスタのソース及びドレイン領域21、22を形成すると同時に、サイドウォール8、9をマスクとして、第2の高温度領域5d、7dを形成する。

【0080】本実施の形態2においては、実施の形態1に比べ、メモリセル部を複数レジストマスクを形成することなしに、イオン注入を行うことができるので、工程数の減少を図ることができるとともに、実施の形態1における効果と同様の効果も有することができる。

【0081】加えて、本実施の形態2においては、第2の高温度領域6d、7dにおいて、ドレイン領域7に対するコンタクトをとることができるので、電荷の引き抜きに関係のない、つまり記憶動作に関係のないドレイン領域7中の不純物領域、具体的には、例えば、FG3の端部直下の深い部分などの不純物濃度を低減することができる。

【0082】又、本実施の形態2においては、周辺トランジスタのソースおよびドレイン領域21、22を形成する際に、同じ逆電型のメモリセルトランジスタを有するメモリセル部の上をレジストで覆うことなしに、高温度のイオン注入を行うことで、チャージアップの可能性を低減でき、チャージアップによる電気的素子の破壊を防止することができるという効果を有する。

【0083】実施の形態3、この発明の実施の形態3は、上記の実施の形態1に対して、図4(b)にて示したように、ヒ素の高温度イオン注入を酸化膜23越しに行う代わりに、半導体基板1表面を露出させた後に、直接半導体基板1にヒ素を高温度注入する点で相違するだけであり、その他の点については上記した実施の形態1と同様である。

【0084】以下に、本実施の形態3を図8を用いて説明する。図8は本実施の形態3における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺回路部のそれについて、工程順に示した要部断面図である。

【0085】本実施の形態3においては、図4(b)にて示したレジストマスク24の形成までは、実施の形態1の製造方法と同様であり、上記レジストマスク24の形成後、ヒ素の高温度注入を行なう直前に、図8(e)にて示すように、レジストマスク24を用いて、酸化膜23及びゲート絶縁膜2の残留分を取り除く程度に異方性エッチングを行う。この結果、メモリセル部のソース側の半導体基板1表面が露出するとともに、上記酸化膜23からなる薄い厚さのサイドウォール27が形成される。

【0086】ここで、上記サイドウォール27の厚さが、エッチングにより薄くなりすぎると、高温度注入されるヒ素により形成される高温度の不純物領域25がCG5の端に近づき過ぎるため、所望の効果を得られなくなる。そのため、上記エッチングにおいては、半導体基板1表面の露出は行なうが、必要以上のエッチングを行うことは好ましくない。したがって、ここでは酸化膜23及びゲート絶縁膜2の残留分を取り除く程度の適度なエッチングを施す必要がある。又、ここで、異方性エッチングはSASエッチングと同様の方法を用いても良い。

【0087】次に、図8(b)に示すように、上記異方性エッチングにより露出した半導体基板1に、直接、高温度にヒ素をイオン注入し、ソース領域6の一部25を形成する。その後の工程は、実施の形態1の図4

(c)以下の工程と同様である。

【0088】本実施の形態3においては、実施の形態1に比べ、メモリセル部のソース側の酸化膜23のエッチング工程が付加されているので、従来に比べ、実施の形態1の場合における工程数の増加が1工程のみであることに對して、本実施の形態3においては合計で2工程増加することとなるが、この2工程のみの増加により、実施の形態1における効果と同様の効果を有することができる。

【0089】加えて、本実施の形態3においては、実施の形態1では酸化膜23越しにイオン注入を行うため、高い注入エネルギーを必要としていたのに対し、半導体基板1に直接イオン注入を行うことができるため、注入エネルギーの増加を必要としないという効果を有する。

【0090】尚、本実施の形態3においては、メモリセル部のソース側のみに、異方性エッチング及び高温度イオン注入をそれぞれ1回のみ行っているが、その代わりに、図8(b)にて示した工程以後、SASエッチングを行う前に、レジストマスク24を除去し、再度、酸化膜を堆積し、レジストマスクを形成し、異方性エッチングを行い、高温度イオン注入を行うことで、さらに言えば、これら一連の工程を複数回繰り返すことにより、実施の形態3にて得られるソース及びドレイン領域6、7に、さらに多数の異なる不純物濃度の領域を形成することができる。すなわち、ソース及びドレイン領域6、7の濃度分布の段階をさらに細分化することが可能となる。

【0091】但し、ここで、堆積する酸化膜の膜厚は、周辺トランジスタのサイドウォール20用に堆積する絶縁膜の膜厚を超えるものであってはならない。

【0092】又、上記の場合においては、メモリセルトランジスタ30及び周辺トランジスタ40がNチャネル型の場合を示したが、図8(b)にて示した工程において、ヒ素の代わりに、ボロン又はBF2をイオン注入しても良く、この場合においても、上記と同様の効果を有することとなる。

【0093】

【発明の効果】この発明に係る不揮発性半導体記憶装置は、半導体基板の一主面に形成された記憶素子を備え、上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有し、上記ドレイン領域は不純物濃度の異なる複数の領域を有し、上記ソース領域は上記ドレイン領域より

多くの不純物濃度の異なる領域を有することを持つとするので、上記第2の塗電層を微細化した場合においても、上記ソース領域のみ不純物濃度の高い領域を当該第2の塗電層から離すことが可能となり、そのため、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度を確保できるという効果を有する。

【0094】又、上記ソース及びドレイン領域のそれらが有する不純物濃度の異なる複数の領域は、第1の塗電層に近い領域ほど不純物濃度が低いことを特徴とするので、上記ソース及びドレイン領域がLDD構造となり、しきい値電圧の変動等を抑制でき、高信頼性を実現できるという効果を有する。

【0095】又、半導体基板の一面に形成された記憶素子を備え、上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の塗電層と、上記第1の塗電層上に第2の絶縁膜を介して形成された第2の塗電層と、上記半導体基板の主面上に上記第1の塗電層の下において対向するように形成されたソース及びドレイン領域と、上記第1及び第2の塗電層を挟んで、それより上記ソース又はドレイン領域上に形成された一対のサイドウォールとを有し、上記一対のサイドウォールの内のドレイン領域上に形成されたサイドウォールは、ソース領域上に形成されたサイドウォールよりも多くの層を有することを持つとして、当該不揮発性半導体記憶装置の製造時において、上記ソース領域の形成工程におけるイオン注入を、上記サイドウォールが有する各層が形成される段ごとにを行うことにより、結果として、上記ソース領域が上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することとなるので、上記第2の塗電層を微細化した場合においても、上記ソース領域のみ不純物濃度の高い領域を当該第2の塗電層から離すことが可能となり、そのため、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度を確保できるという効果を有する。

【0096】又、上記一対のサイドウォールが有する層は、全て同じ種類の絶縁膜により構成されていることを特徴として、当該不揮発性半導体記憶装置の形成が容易となり、製造コストの削減を図ることが可能であるという効果を有する。

【0097】この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板の一面に第1の絶縁膜を介して形成された第1の塗電層と、上記第1の塗電層上に第2の絶縁膜を介して形成された第2の塗電層と、上記半導体基板の主面上に上記第1の塗電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面上に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造

方法において、上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、イオン注入を行う工程とを含むので、この方法により製造された不揮発性半導体記憶装置は、工程数としては、上記サイドウォール用の絶縁膜を堆積する工程を増加するだけで、上記ソース領域が上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することが可能となる。そのため、少しの製造時間の延長と、少しの製造コストの増加だけで、上記第2の塗電層を微細化した場合においても、上記ソース領域のみ不純物濃度の高い領域を当該第2の塗電層から離すことが可能となり、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度を確保できるという効果を有することとなる。

【0098】又、上記絶縁膜を堆積する工程と、イオン注入を行う工程とをそれぞれ複数回繰り返すことを持つので、この方法により製造された不揮発性半導体記憶装置は、上記ソース領域が上記ドレイン領域よりもさらに多くの不純物濃度の異なる領域を有することとなるので、上記第2の塗電層を微細化した場合においても、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すためのより大きな裕度を確保できるという効果を有する。

【0099】又、上記イオン注入を行う工程は、後の工程ほど注入量を多くすることを持つとして、この方法により製造された不揮発性半導体記憶装置は、上記ソース及びドレイン領域がLDD構造となり、しきい値電圧の変動等を抑制でき、高信頼性を実現できるという効果を有する。

【0100】又、半導体基板の一面に第1の絶縁膜を介して形成された第1の塗電層と、上記第1の塗電層上に第2の絶縁膜を介して形成された第2の塗電層と、上記半導体基板の主面上に上記第1の塗電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面上に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、上記絶縁膜の一部をエッチングする工程とを含むので、この方法により製造された不揮発性半導体記憶装置は、上記ソース領域を形成するためのイオン注入の注入エネルギーを抑えることができ、しかも、このイオン注入を上記サイドウォール用絶縁膜のエッチング工程の後にに行うことによ

より、結果として、上記ソース領域が上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することとなる。そのため、上記第2の遮電層を微細化した場合においても、上記ソース領域のみ不純物濃度の高い領域を当該第2の遮電層から離すことが可能となり、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度を確保できるという効果を有する。

【図101】又、上記绝缘膜を堆積する工程と、当該绝缘膜の一部をエッチングする工程とをそれぞれ複数回繰り返すことを特徴とするので、この方法により製造された不揮発性半導体記憶装置は、上記ソース領域が上記ドレイン領域よりもさらに多くの不純物濃度の異なる領域を有することとなるので、上記第2の遮電層を微細化した場合においても、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための大きな裕度を確保できるという効果を有する。

【図102】又、上記複数回堆積する绝缘膜としては、全て同じ種類の绝缘膜を用いることを特徴とするので、この方法により製造された不揮発性半導体記憶装置は、当該装置の形成が容易であり、製造コストの削減を図ることが可能であるという効果を有する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における不揮発性半導体記憶装置のメモリセルトランジスタの構造を示す要部断面図である。

【図2】 この発明の実施の形態1における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれについて、工程順に示した要部断面図である。

【図3】 この発明の実施の形態1における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれについて、工程順に示した要部断面図である。

【図4】 この発明の実施の形態1における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺ト

ンジスタ部のそれについて、工程順に示した要部断面図である。

【図5】 SASエッチングにより除去できずに、酸化膜が残存した不揮発性半導体記憶装置の要部断面図である。

【図6】 1種類のイオンの注入により形成された不揮発性半導体記憶装置のメモリセルトランジスタの構造を示す要部断面図である。

【図7】 この発明の実施の形態2における不揮発性半導体記憶装置のメモリセルトランジスタの構造を示す要部断面図である。

【図8】 この発明の実施の形態3における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれについて、工程順に示した要部断面図である。

【図9】 従来の不揮発性半導体記憶装置のメモリセルトランジスタの構造を示す要部断面図である。

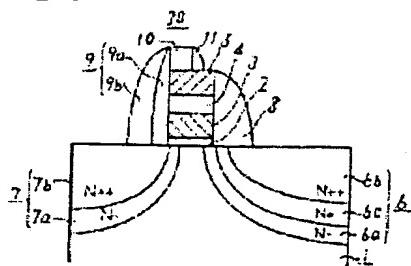
【図10】 従来の不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれについて、工程順に示した要部断面図である。

【図11】 従来の不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれについて、工程順に示した要部断面図である。

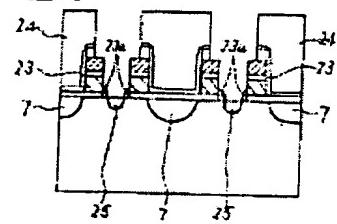
【符号の説明】

- 1 半導体基板、 2 第1の绝缘膜、 3 第1の遮電層、 4 第2の绝缘膜、 5 第2の遮電層、
- 6、ソース領域、6a、6b、6c、6d ソース領域を形成する一領域、7 ドレイン領域、7a、7b、7d ドレイン領域を形成する一領域、8 ソース領域上に形成されたサイドウォール、9a、9b ドレイン領域上のサイドウォールを形成する層、23 周辺トランジスタのサイドウォールの一部となる绝缘膜、24 マスク、25、26 半導体基板の記憶素子のソース領域となる部分、30 記憶素子、 40 周辺トランジスタ。

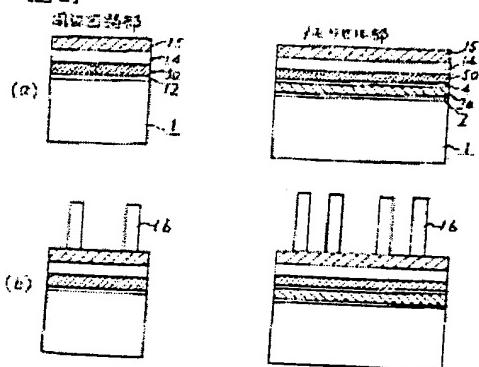
【図1】



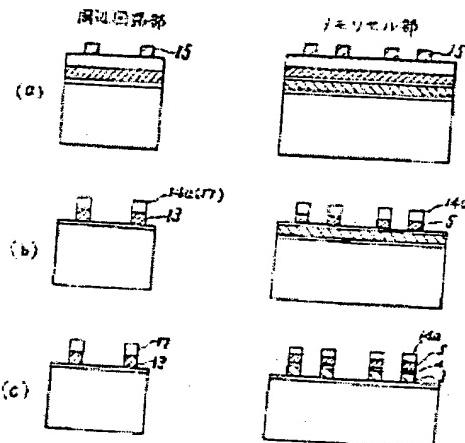
【図5】



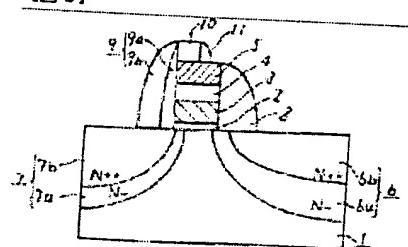
〔図2〕



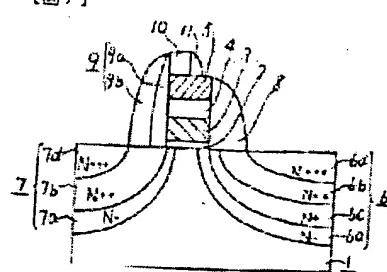
【図3】

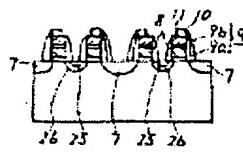
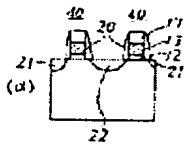
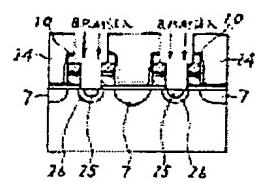
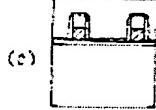
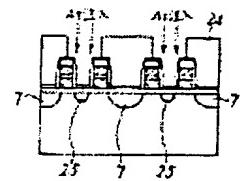
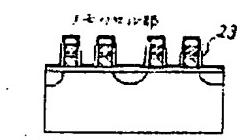
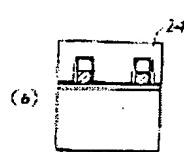
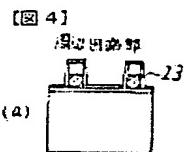


〔圖 5〕



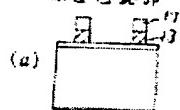
〔圖7〕





【図11】

側面図部



正面図部

